

⑨ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭55-45216

⑮ Int. Cl.<sup>3</sup>  
H 03 F 3/343

識別記号

庁内整理番号  
6832-5 J

⑬ 公開 昭和55年(1980)3月29日

発明の数 1  
審査請求 未請求

(全 6 頁)

⑭ トランジスタ増巾器

⑰ 特 願 昭53-118041

⑱ 出 願 昭53(1978)9月27日

⑲ 発 明 者 山口浩保

横浜市磯子区新磯子町33東京芝  
浦電気株式会社音響工場内

⑲ 発 明 者 石井純

横浜市磯子区新磯子町33東京芝  
浦電気株式会社音響工場内

⑲ 出 願 人 東京芝浦電気株式会社

川崎市幸区堀川町72番地

⑲ 代 理 人 弁理士 則近憲佑 外1名

明 細 書

1. 発明の名称 トランジスタ増巾器

2. 特許請求の範囲

(1) 共通エミッタ接続された第1トランジスタ及び第2トランジスタを含む第1差動増巾器と、前記第1トランジスタ及び第2トランジスタと異なる導電型トランジスタで、共通エミッタ接続された第3トランジスタ及び第4トランジスタを含む第2差動増巾器と、前記第1トランジスタ及び第3トランジスタのベース電流をほぼ等しく設定する手段とで構成され、前記第1トランジスタのベースと第3トランジスタのベースを接続したことを特徴とするトランジスタ増巾器。

(2) 前記第1トランジスタ及び第3トランジスタのベース電流をほぼ等しく設定する手段が抵抗を介して相互接続された第5トランジスタ及び第6トランジスタを有し、第5トランジスタのコレクタは前記第1トランジスタのエミッタに接続され、第5トランジスタのエミッタは正の直流電源端子  $V_{00}$  に接続され、第6トランジスタのコレ

クタは前記第3トランジスタのエミッタに接続され、第6トランジスタのエミッタは負の電流電源端子  $V_{EE}$  に接続されることを特徴とする前記特許請求の範囲第1項記載のトランジスタ増巾器。

(3) 前記第1トランジスタ及び第2トランジスタをPNP型トランジスタで構成し前記第3トランジスタ及び第4トランジスタをNPN型トランジスタで構成したことを特徴とする前記特許請求の範囲第1項記載のトランジスタ増巾器。

以下余白

## 3. 発明の詳細な説明

この発明はトランジスタ増巾器、特に入力電流が極小でオフセット電圧が小さなトランジスタ増巾器に関する。

近年プリアンプ、メインアンプ等のDC化が行われているがこの為には初段の入力電流及びオフセット電圧を小さくしなければならない。この為従来はFETを使用していたが大利得を得、ノイズを下げるためにはgmを大きくする必要があり必然的に高価になり、またFET自体特性にばらつきがあり、安定な増巾器が得られなかった。

この発明はPNP、NPN型のバイポーラトランジスタを使用して入力電流が極小でオフセット電圧の小さな増巾器を得るものであり、また音質劣化することなく安価なDC化した増巾器を供与するものである。

この発明を図面を参照して説明する。第1図は本発明の一実施例であり、入力端子(1)は一端が接地された抵抗R1に接続されるとともにトランジスタQ1、Q3のベースに接続されている。トラ

(3)

接続され、トランジスタQ8のコレクタへ接続されている。トランジスタQ7、Q8のエミッタはともに電源端子V<sub>00</sub>に接続されている。トランジスタQ8のコレクタはトランジスタQ4のコレクタに接続されている。トランジスタQ5のエミッタは電源端子V<sub>EE</sub>に接続されている。トランジスタQ4のベースはトランジスタQ2のベースと共通接続され抵抗R4を介し出力端子(2)へ接続されている。トランジスタQ2のベースは一端が接地された抵抗R3に接続されている。トランジスタQ10のコレクタはトランジスタQ2のコレクタと接続されている。トランジスタQ10のエミッタは電源端子V<sub>EE</sub>に接続されている。コレクタが接地されたトランジスタQ11のエミッタはトランジスタQ12のベースに接続されている。トランジスタQ12のエミッタは電源端子V<sub>00</sub>に接続され、コレクタはトランジスタQ15のベースに接続されるとともにダイオードD1に接続されている。トランジスタQ15のコレクタは接地され、エミッタはトランジスタQ16のベースに接続されている。

(5)

ンジスタQ1のエミッタはトランジスタQ1と差動増巾器をなすトランジスタQ2のエミッタと接続されるとともにトランジスタQ6のコレクタに接続されている。トランジスタQ1のコレクタはトランジスタQ13のベースに接続され、またトランジスタQ9のコレクタにも接続されている。

トランジスタQ6のベースは抵抗R2を介してトランジスタQ8のベースに接続されている。トランジスタQ6のエミッタは正の直流電源端子V<sub>00</sub>に接続されている。トランジスタQ9のベースはコレクタとベースが接続されたトランジスタQ10のベースに接続されている。トランジスタQ9のエミッタは負の直流電源端子V<sub>EE</sub>に接続されている。トランジスタQ3のエミッタはこのトランジスタと差動器をなすトランジスタQ4のエミッタに接続されるとともにトランジスタQ5のコレクタに接続されている。トランジスタQ3のコレクタはトランジスタQ7のコレクタに接続されるとともにトランジスタQ11のベースに接続されている。トランジスタQ7、Q8のベースはそれぞれ

(4)

トランジスタQ14のコレクタはダイオードD2を介してダイオードD1へ接続されるとともに、トランジスタQ16のベースへも接続されている。トランジスタQ14のエミッタは電源端子V<sub>EE</sub>に接続されている。トランジスタQ15のコレクタは電源端子V<sub>00</sub>に接続されている。トランジスタQ15のエミッタは出力端子(2)へ接続されるとともにトランジスタQ16のエミッタに接続されている。またトランジスタQ16のコレクタは電源端子V<sub>EE</sub>に接続されている。

トランジスタQ1、Q2はPNP型トランジスタで差動増巾器を構成し、トランジスタQ3、Q4はNPN型トランジスタで差動増巾器を構成している。ここでトランジスタQ1のベースに流れ込む電流をI<sub>1B</sub>、トランジスタQ3のベースに流れ込む電流をI<sub>3B</sub>とすると、 $-I_{1B} = I_{3B}$ となるようにトランジスタQ1、Q3のベース電流を定めることにより両方のベース電流が打ち消し、増巾器の入力電流をほぼ0とすることができる。トランジスタQ1、Q3のベース電流を $-I_{1B} = I_{3B}$ と

(6)

する為に第1図の実施例ではトランジスタQ5, Q6のベースを抵抗R2を介して接続している。トランジスタQ5, Q6のベース電流を $I_{0B}$ とするとトランジスタQ1のエミッタ電流は $I_{1B} \approx 1/2 \beta I_{0B}$ となり、またトランジスタQ3のエミッタ電流は $I_{3B} \approx 1/2 \beta' I_{0B}$ となる。(  $\beta$  はPNP型トランジスタのベータ、 $\beta'$  はNPN型トランジスタのベータである。) よって $-I_{1B} \approx (1/2) \times I_{0B}$ 、 $I_{3B} \approx (1/2) \times I_{0B}$ となり $-I_{1B} \approx I_{3B}$ となる。トランジスタQ1, Q3のベース電流を等しくできるためバイポーラトランジスタでDC化することができる。FETを使用したDCアンプに比べて $g_m$ が大きく、その為ノイズが小さい、またオフセット電圧が低い等の効果がある。

第2図は本発明の他の実施例であり、その要部を示したものである。入力端子(21)はトランジスタQ21, Q23のベースに接続されるとともに一端が接地された抵抗R21に接続されている。トランジスタQ21のコレクタはトランジスタQ2

(7)

もに抵抗R22を介して電源端子V002へ接続されている。トランジスタQ22のコレクタはトランジスタQ28のコレクタに接続されている。トランジスタQ25のベースはトランジスタQ26のベースに接続されている。

トランジスタQ26のエミッタは抵抗R23を各して接地されている。トランジスタQ26のコレクタは電源端子V222に接続されている。トランジスタQ24のベースはトランジスタQ22のベースと共通接続され抵抗R24を介して出力端子(22)に接続されている。トランジスタQ31のコレクタは接地されており、エミッタはトランジスタQ32のベースへ接続されている。トランジスタQ32のエミッタは電源端子V002へ接続され、コレクタはトランジスタQ35のベース及びダイオードD21へ接続されている。トランジスタQ35のコレクタは接地されており、エミッタはトランジスタQ34のベースに接続されている。トランジスタQ34のエミッタは電源に接続されコレクタはダイオードD21に接続される。とともにトランジスタQ

(9)

7のコレクタに接続されるとともにトランジスタQ33のベースに接続されている。トランジスタQ27のエミッタは負の電源端子V222に接続されている。トランジスタQ27のベースはエミッタが電源端子V222に接続されたトランジスタQ28のベースに接続されるとともにトランジスタQ29のコレクタに接続されている。トランジスタQ23のエミッタはトランジスタQ24のエミッタと接続され、トランジスタQ25のコレクタに接続されている。トランジスタQ25のエミッタは電源端子V222に接続されている。トランジスタQ23のコレクタはトランジスタQ29のコレクタに接続されるとともにトランジスタQ31のベースに接続されている。トランジスタQ29のベースはトランジスタQ30のベース及びエミッタと接続されている。トランジスタQ29及びQ30のエミッタはそれぞれ電源端子V002へ接続されている。トランジスタQ30のコレクタはトランジスタQ24のコレクタに接続されている。トランジスタQ22のエミッタはトランジスタQ31のエミッタに接続されるとと

(8)

35のベースに接続されている。トランジスタQ35のコレクタは電源端子V002へ接続されている。トランジスタQ36のコレクタは電源端子V222へ接続されている。トランジスタQ35及びトランジスタQ36のエミッタはそれぞれ出力端子(22)へ接続されている。

トランジスタQ21及びQ22はPNP型トランジスタで差動増巾器を構成し、トランジスタQ23及びQ24はNPN型トランジスタで差動増巾器を構成している。ここで $R22 = R23$ とし、電源端子V002に印加される電圧と電源端子V222に印加される電圧の絶対値も等しく設定する。抵抗R22を流れる電流を $I_{22}$ 、抵抗R23を流れる電流を $I_{23}$ とすると $I_{22} \approx V_{002}/R_{22}$ 、 $I_{23} \approx V_{222}/R_{23}$ となる。トランジスタQ25のコレクタに流れる電流を $I_{250}$ とすると $I_{250} \approx I_{23} \times \beta'/\beta$ となる。よってトランジスタQ25のベース電流 $I_{25B}$ は、 $I_{25B} \approx (1/2) \times (I_{250}/\beta') = (1/2) \times (1/\beta') \times (V_{222}/R_{23}) \times (\beta'/\beta) = (1/2\beta) \times V_{222}/R_{23}$ となる。またQ

(10)

21のベース電流  $I_{B1}$  は  $I_{B1} = (1/2) \times (1/\beta) \times I_{E2} = (1/2\beta) \times (V_{CC2}/R_{E2})$  となる。よって  $|I_{B2}| \approx |I_{B1}|$  となりトランジスタ  $Q_{23}$  及び  $Q_{21}$  のベース電流の絶対値がほぼ等しくなりその結果この増巾器の入力電流が小さくなり容易にDC増巾器を得ることができる。

第3図は本発明の他の実施例であり、入力端子(41)はトランジスタ  $Q_{41}$ 、 $Q_{43}$  のベースに接続されている。トランジスタ  $Q_{41}$  のエミッタはトランジスタ  $Q_{42}$  のコレクタに接続されるとともに、トランジスタ  $Q_{45}$  のコレクタに接続されている。トランジスタ  $Q_{45}$  のエミッタは負の電源端  $V_{EE3}$  に接続されている。トランジスタ  $Q_{45}$  のベースはトランジスタ  $Q_{46}$  のベースに接続されるとともにトランジスタ  $Q_{47}$ 、 $Q_{48}$  のエミッタに接続されている。トランジスタ  $Q_{46}$  のエミッタは負の電源端  $V_{EE5}$  に接続されている。トランジスタ  $Q_{46}$  のコレクタはトランジスタ  $Q_{47}$  と  $Q_{48}$  の共通ベースに接続されている。トランジスタ  $Q_{47}$  のコレクタは抵抗  $R_{49}$  を介して正の電源端  $V_{CC5}$

(11)

スタで差動増幅器を構成し、トランジスタ  $Q_{43}$ 、 $Q_{44}$  はPNP型トランジスタで差動増幅器を構成している。この実施例の回路もトランジスタ  $Q_{41}$  のベース電流とトランジスタ  $Q_{43}$  のベース電流の値を等しくして入力電流をなくするというものである。

トランジスタ  $Q_{41}$ 、 $Q_{43}$  のベース電流を等しくする為、この実施例ではトランジスタ  $Q_{45}$ 、 $Q_{50}$  のコレクタ電流を等しくすればよい。トランジスタ  $Q_{50}$  のベース電流を  $I_{B50}$  とするとトランジスタ  $Q_{48}$  のエミッタ及びトランジスタ  $Q_{49}$  のエミッタにはそれぞれ  $I_{B50}$  の電流が流れる。そこでトランジスタ  $Q_{45}$  及び  $Q_{46}$  のベース電流もそれぞれ約  $I_{B50}$  の電流が流れる。よってトランジスタ  $Q_{45}$ 、及び  $Q_{50}$  のベース電流が等しくなりよってトランジスタ  $Q_{41}$  及び  $Q_{43}$  のベース電流が等しくなる。ここで  $I_{B50}$  の値は抵抗  $R_{49}$  及び電源電圧とで決定することができる。

第4図は本発明の他の実施例である。

トランジスタ  $Q_{61}$  のベース電流及びトランジス

(13)

トランジスタ  $Q_{48}$  のコレクタへ接続されている。トランジスタ  $Q_{48}$  のコレクタにはトランジスタ  $Q_{50}$  のベースに接続されている。トランジスタ  $Q_{50}$  のエミッタは正の電源端子に接続されている。トランジスタ  $Q_{50}$  のコレクタはトランジスタ  $Q_{43}$ 、 $Q_{44}$  の共通エミッタへ接続されている。トランジスタ  $Q_{43}$  のコレクタは抵抗  $R_{51}$  を介して負の電源端  $V_{EE5}$  に接続されるとともにトランジスタ  $Q_{52}$  のベースに接続されている。トランジスタ  $Q_{44}$  のコレクタは負の正源端  $V_{EE5}$  に接続されている。トランジスタ  $Q_{52}$  のエミッタは負の電源端  $V_{EE3}$  に接続されている。トランジスタ  $Q_{42}$  と  $Q_{43}$  は共通ベース接続であり、トランジスタ  $Q_{42}$  のベースより反転入力端子(42)に接続されている。トランジスタ  $Q_{41}$ 、 $Q_{42}$  のコレクタはそれぞれ正の電源端  $V_{CC5}$  に接続されている。トランジスタ  $Q_{41}$  のエミッタはトランジスタ  $Q_{48}$  のエミッタに接続されている。トランジスタ  $Q_{52}$  のコレクタは正の電源端  $V_{CC5}$  に接続されるとともに出力端子(45)に接続される。

トランジスタ  $Q_{41}$ 、 $Q_{42}$  はNPN型トランジ

(12)

スタ  $Q_{53}$  のベース電流を等しくするという点では前述の第1図乃至第3図の回路と同様である。トランジスタ  $Q_{61}$ 、 $Q_{63}$  のベース電流を等しくする為には本実施例では正の直流電源端子と負の直流電源端子の間にトランジスタ  $Q_{67}$  と  $Q_{68}$  を直列に挿入している。すなわちトランジスタ  $Q_{67}$ 、 $Q_{68}$  のコレクタ電流が等しくなる為トランジスタ  $Q_{69}$ 、 $Q_{70}$  のベース電流が等しくなる。そうするとトランジスタ  $Q_{61}$ 、 $Q_{63}$  のコレクタ電流が等しくなりそれぞれのベース電流を等しくすることができる。よって入力結合コンデンサを省略できるのでコンデンサによる音質劣化がなく良好なDCアンプを得ることができる。

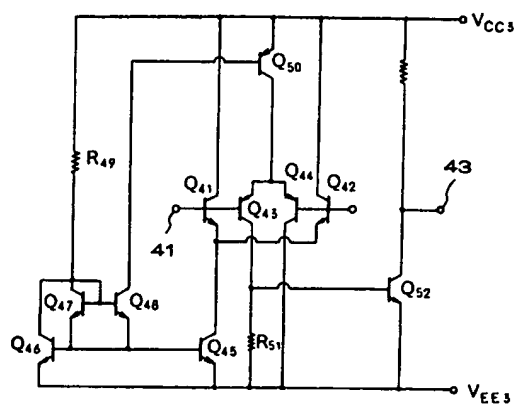
第1図及び第2図の実施例においては差動増巾器の増益入力側のベース電流も減少させることができる為増益回路に容量性素子を使用する必要がないので音質的にすぐれたDCアンプを得ることができる。

以上説明したようにPNP型、NPN型のバイポーラトランジスタを使用して差動アンプを構成

(14)



第 3 図



第 4 図

